

Service Electronique

D. BON, R. DELLA NEGRA, D. DELAUNAY, M. DUPANLOUP, S. GARDIEN, C. GIRERD, C. GUERIN, H. MATHEZ, M. MIGUET, W. TROMEUR, Y. ZOCCARATO

L'activité du Service Electronique s'étend sur de nombreux domaines de l'instrumentation nucléaire à l'acquisition de données. Le service Electronique dispose d'un large spectre de compétences permettant à l'IPNL de prendre en charge de nombreuses réalisations dans différentes collaborations nationales et internationales. Ces dernières années, les projets se sont considérablement diversifiés et complexifiés dans le domaine des circuits intégrés analogiques, de l'acquisition de données et de l'instrumentation. Chaque projet se concrétise avec l'aide des techniques de l'IAO et de la CAO dans tout ou partie de son développement, quelle que soit la forme de la réalisation finale : technologie traditionnelle, montage en surface des composants, hybride ou bien technologie intégrée. Le service dispose d'équipements matériels et logiciels permettant de mener à bien des missions de conception et de simulation au plus haut niveau et d'assurer les phases de test et de caractérisation.

1 - Instrumentation, acquisition de données, systèmes numériques :

Trigger V0 pour l'expérience ALICE

L'institut de Physique Nucléaire de Lyon assume la responsabilité de la conception de l'électronique "Front End" pour l'ensemble du détecteur V0 du projet ALICE. La définition du cahier des charges est le fruit d'une collaboration avec le CERN et le centre d'investigation et d'études avancées de Mexico. Avec la publication de la première version du TDR (début 2004). L'étude globale (notamment la définition de l'architecture) arrive progressivement à son terme pour laisser place à l'étude détaillée.

L'architecture de l'électronique du détecteur V0 d'ALICE repose sur 3 éléments principaux : 6 modules d'interface (Chanel Interface Unit) qui permettent l'acquisition et la numérisation des données provenant des détecteurs droit et gauche (72 chaînes au total), le module d'interface avec le centre de stockage des données (Channel Concentrator Interface Unit) et le module de control (Timing, Trigger and Control Interface Unit) qui permet le bon séquençement de l'électronique. La totalité de l'électronique est intégrée dans un rack VME 9U dont le synoptique est représenté ci-dessous (Fig 1).

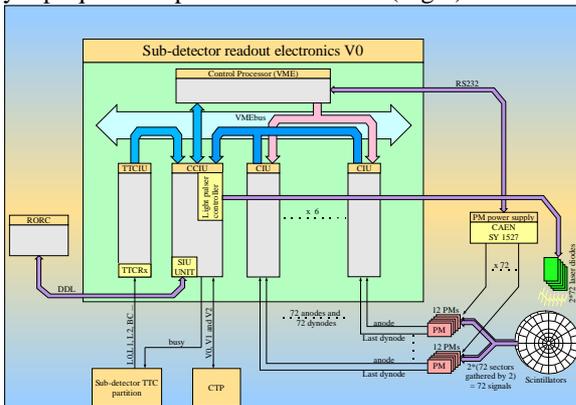


Fig 1 : synoptique de l'électronique du trigger V0

Les fonctions réalisées par l'électronique de "front end" du détecteur V0 d'ALICE sont :

- *numérisation des charges électriques provenant des PhotoMultiplieurs* : les dernières expériences réalisées sur les cosmiques ont montré que les signaux issus des PM peuvent s'étaler sur quelques périodes de l'horloge LHC. L'architecture de l'intégrateur choisi (appelé double intégrateur (Fig 2)) permet de réaliser, à la fréquence de l'horloge LHC, une intégration sur une fenêtre de profondeur programmable (de 1.5 ns à 37.5 ns) par pas de 1.5 ns. Cela consiste à dupliquer la chaîne d'intégration et à utiliser alternativement une sortie pour les périodes paires de l'horloge LHC, et l'autre pour les périodes impaires (Fig 2). Cette numérisation est réalisée à la fois sur la sortie anode et dernière Dynode des 72 PMs.

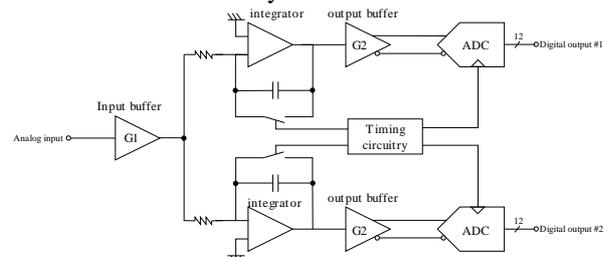


Fig 2 : système du double intégrateur

- *mesure temporelle des signaux provenant des PhotoMultiplieurs* : le principal composant de cette fonction est le HPTDC développé par le groupe microélectronique du CERN. Il permet de mesurer l'intervalle de temps qu'il y a entre une horloge de référence (l'horloge LHC) et l'arrivée d'un événement. Le signal "événement" correspond à la sortie d'une comparaison entre la sortie anode des PMs et un seuil de détection programmable bas niveau. Ce composant ultra précis sera utilisé bien en deçà de ses possibilités tant en nombre de voies 12/32 qu'en résolution 265 ps/17 ps.
- *génération du trigger de centralité* : le signal "trigger de centralité" (mis à jour à la fréquence de

l'horloge LHC) est actif si durant un intervalle de temps, programmable par pas de 1.5 ns, les 2 détecteurs sont touchés par au moins n événements (n étant également programmable). En pratique cette fonction est réalisée par plusieurs FPGA à partir de tous les signaux "événement".

- *génération d'un trigger de présence* : le signal "trigger de présence" (également mis à jour à la fréquence de l'horloge LHC) est actif si la somme des charges vues par les deux détecteurs dépassent un seuil programmable. En pratique cette fonction est réalisée par plusieurs FPGA à partir de la numérisation des charges électriques collectées sur les dernières dynodes des PMs.
- *gestion des périphériques et des aspects calibrations* : le stockage des données acquises est réalisé par la DAQ par le biais d'un lien DDL, l'interface entre DDL et FEE est réalisée par la mezzanine SIU développé par le CERN. La distribution des horloges et du trigger est réalisée par le TTCRx (également développé par le CERN). L'intégration de ce composant avec le reste de l'électronique et les aspects de calibration sont en cours de développement.

2 - Activités de développements pour l'expérience OPERA

Le système d'acquisition du "Target tracker"

L'activité de développement en électronique pour l'expérience OPERA s'est poursuivie par la réalisation d'une deuxième version de la carte d'acquisition sur réseau Ethernet (BFOOT 11501). Les évolutions concernent essentiellement la présentation physique de la carte qui devient beaucoup plus compacte et autorise une connexion directe avec une carte "front-end" de type VA-TA. La connexion est assurée par une liaison carte à carte de sorte que les deux cartes se retrouvent superposées (Fig 3).



Fig 3 : Carte Bfoot version II

La carte "front-end" reçoit directement un photo-multiplier de 64 pixels. Les fonctionnalités sont relativement proches de la version I. Nous y avons ajouté les possibilités de réglages programmables pour certaines

polarisations du front-end ainsi que quelques entrées/sorties complémentaires. Les outils logiciels ont également été améliorés. Ces cartes ont été produites à 10 exemplaires afin de permettre le test des scintillateurs sur leur lieu de production (IRES Strasbourg). Ces cartes ont également été utilisées dans le cadre d'une activité Recherche et Développement en imagerie médicale.

Le service électronique est engagé dans le développement de l'ensemble de l'électronique nécessaire au système d'acquisition du "Target tracker" de l'expérience OPERA. Le schéma proposé par l'IPNL et approuvé par la collaboration OPERA est basé sur une acquisition entièrement distribuée sur réseau Ethernet. Ce schéma nécessite un minimum d'électronique. Les seules cartes nécessaires sont les cartes frontales et digitales situées au niveau de chaque photo-multiplier. Les données sont formatées et transmises directement par le réseau vers des PC d'acquisition, aucun étage d'électronique intermédiaire n'est utilisé. Seule la distribution d'horloge nécessite un système séparé. La première partie des développements concerne la carte d'acquisition du "Target Tracker". Cette carte comprend un processeur sous forme de carte mezzanine et une carte mère qui intègre l'ensemble des circuits et des fonctions nécessaires à l'interface avec la carte frontale. La deuxième partie des développements concerne la distribution de l'horloge pour la synchronisation et le marquage en temps des événements.



Fig 4: Carte Mezzanine Etrax 100 LX

Le premier prototype de la carte processeur ETRAX 100 LX a été réalisée en quatre exemplaires (Fig 4). Cette carte se présente sous la forme d'une carte fille de 6 cm x 6 cm. La connexion est assurée par deux connecteurs femelles au pas de 2 mm, de 120 points chacun. Cette carte intègre un FPGA APEX EP20KE100 en boîtier BGA de 324 pins au pas 1 mm, une mémoire de configuration du FPGA EPC2 et une FIFO IDT de 32 bits et 131072 mots. Le processeur ETRAX 100 LX commercialisé par Axis est dédié aux applications distribuées sur réseau. Il s'agit d'un processeur RISC 32 bits cadencé à 100 MHz supportant un système d'exploitation Linux embarqué. Le processeur assure l'interface de communication avec le DAQ par le réseau Ethernet. Il intègre les pilotes pour l'accès au FPGA et à la FIFO au travers le bus 32 bits de l'ETRAX.

Le FPGA intègre l'ensemble des interfaces nécessaires pour le contrôle et la lecture du circuit frontal. Il assure également la détection et le marquage en temps des triggers, le formatage des données et le stockage dans la FIFO. Un ensemble de registres est disponible dans le FPGA pour permettre la configuration du séquenceur.

Un prototype de la carte mère (Fig 5) a également été réalisé. Cette carte intègre les interfaces nécessaires pour le contrôle de la carte frontale (DAC, ADC, délais programmables, module haute tension, générateur d'impulsions des LED), les fonctions de synchronisation avec l'horloge sont implantées dans un FPGA EPM3256.



Fig 5 : Carte mère acquisition OPERA

Le système de distribution d'horloge

L'expérience OPERA de part son éloignement géographique du CERN, et son caractère auto-déclenché, ne dispose pas de moyen de synchronisation direct avec le CERN. Cette fonctionnalité est pourtant indispensable à l'interprétation des données, et à l'identification de la structure du faisceau de Neutrino. Pour cela il a fallu concevoir un système utilisant les données GPS, pour avoir une connaissance du temps UTC, et ainsi réaliser l'étiquetage en temps de chaque événement. Cela signifie que l'information temporelle doit être envoyée sur chaque carte Front-End du détecteur. Le synoptique (Fig 6) montre l'architecture de l'expérience OPERA pour la distribution d'horloge ainsi que les différentes cartes électroniques développées.

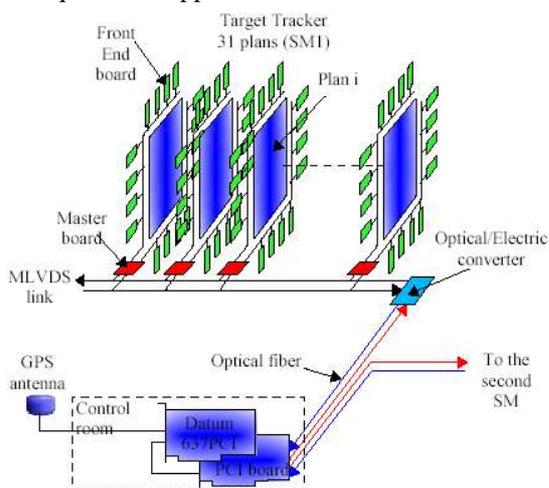


Fig 6 : Distribution d'horloge sur l'expérience OPERA

Le laboratoire du Gran Sasso fournit des données GPS dans un format spécifique. Le contrôle de la distribution d'horloge pour le système d'acquisition d'OPERA est géré

par un ordinateur équipé d'une carte PCI spécifique (Fig 7).

Elle est composée d'un pont PCI (composant PLX), d'un composant programmable de la famille des APEX de chez Altera, de composants de transmission et réception optique, d'un oscillateur à quartz 10 Mhz de type OVEN d'une très grande stabilité. Cette carte est capable de décoder les données GPS émise par fibre optique, d'extraire le pps (pulse per second) et le temps UTC.

Elle transmet également par voie optique une horloge de 20 Mhz sur les cartes "Front-End". Cette horloge est mixée avec des commandes ou données spécifiques, qui permettent d'avoir un control continu et sécurisé sur chaque carte "Front-End". Le système développé permet également de mesurer les délais de propagations entre chaque carte "Front-End" avec une précision de 10 ns, et d'ajuster l'horloge transmise sur chacune pour les rendre synchrone entre elles.



Fig 7 : Carte PCI

Le signal optique envoyé par la carte PCI est convertit en signal différentiel électrique par une carte convertisseur (Fig 8).

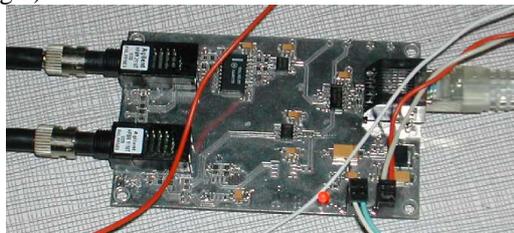


Fig 8 : Carte convertisseur optique

Le signal différentiel de type MLVDS est ensuite envoyé sur chaque carte maître (Master board) qui réalise la gestion des plans.

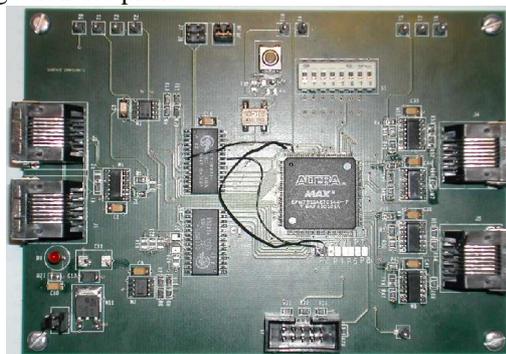


Fig 9 : Carte Maître

Cette carte maître (Fig 9) est essentiellement composée d'un composant programmable de la famille des MAX7000 de chez Altera, de composants de communication HotLink de chez Cypress, et de driver et receiver MLVDS de chez Texas Instrument.

Les cartes "Front-End" de chaque plan sont ensuite chaînées entre elles et raccordées à une carte Maître.

L'architecture de distribution d'horloge est aujourd'hui validée. Les cartes prototypes PCI, convertisseur optique et maître ont été testées et fonctionnent correctement. Une nouvelle version de carte maître est pour le moment en fabrication, elle regroupe la gestion de 5 plans de scintillateurs sur une seule carte au format VME. Toutes les cartes maîtres seront placées ensuite dans un rack VME à proximité du détecteur.

Un premier banc de test a pu ainsi être mis en place avec un photo-multiplieur 64 pixels, une carte frontale équipée des circuits de lecture du LAL, une carte mère et une carte ETRAX. Les tests ont permis de vérifier un grand nombre de fonctionnalités et la cohérence des données ADC obtenues avec photo-multiplieur. Le bruit de l'ensemble de la chaîne est très proche du bruit du circuit frontal lui-même. (1.4 mV rms). Ce prototype va être reproduit à environ 50 exemplaires afin d'effectuer des tests avec la partie logiciel du DAQ en CORBA et de vérifier la fiabilité du système à plus grande échelle.

3 - Bancs de tests automatiques

Assemblage de modules Silicium pour CMS-trace

Dans le cadre de l'expérience CMS, 2050 modules pour le TEC (Tracker End-Cap), "bouchon" du détecteur CMS-trace, doivent être construits à l'IPNL. La précision et la reproductibilité sont deux conditions sine qua none à respecter. Chaque module est composé de deux détecteurs Silicium, d'une électronique de lecture et d'un circuit hybride.

Le rôle du banc automatique d'assemblage de modules Silicium est de déposer de la colle, puis d'assembler ces trois éléments sur un cadre en carbone avec une précision de 1 µm.

Le robot qui compose ce banc possède quatre mouvements indépendants X, Y, Z et thêta (rotation) programmables dans un langage spécifique à la machine, le MMI (Man-Machine Interface.) Il est en outre muni d'une caméra CCD, utilisé pour la reconnaissance de forme et commandé par le logiciel Labview.

Le projet pilote a été développé au CERN, ainsi que le programme de base et nous nous sommes chargés à l'IPNL d'adapter ce programme, en fonction de la géométrie variable des modules. Une longue étude de calibration a été effectuée sur la rotation afin d'obtenir une précision inférieure à 15 milidegrés. De plus, il est nécessaire de garantir une assurance qualité à chaque étape de la procédure en travaillant à température constante (à 1°C près) en salle grise. Tous les paramètres d'assemblage de

chaque module seront ensuite stockés sur la base de donnée de CMS-trace.

Caractérisation de circuits intégrés analogiques, test de pré production des FPPA2001 et MGPA

Le service a pris en charge le développement d'un banc de test automatique pour la caractérisation d'une partie (2000 pièces) des pré productions des circuits de lecture frontaux (FPPA et MGPA) du calorimètre de CMS.

4 - Conception de circuits intégrés

Activité sur le calorimètre électromagnétique de CMS (ECAL).

Le FPPA (Floating Point PreAmplifier)

Le groupe de conception de circuits intégrés, au sein du service électronique de l'institut est directement impliqué dans le développement des circuits mixtes frontaux de lecture pour le calorimètre électromagnétique (ECAL) du détecteur CMS sur le LHC au CERN. Les développements arrivent progressivement à leur terme pour laisser place à la production en série de ces circuits pour la construction du détecteur. Ce groupe assurera la mise en place et le contrôle de la production, en collaboration étroite avec les autres instituts membres de la collaboration CMS et les industriels.

Le calorimètre électromagnétique de CMS est constitué d'environ 80000 cristaux de tungstate de plomb. La chaîne de lecture comporte pour chaque cristal, deux photodiodes à avalanche (APD), un amplificateur de charge, des amplificateurs de gains et un convertisseur analogique-digital (ADC). Un capteur de température assure la thermométrie d'un bloc de 10 cristaux. Parmi ces éléments, le groupe de conception de circuits intégrés assure le développement et les tests du circuit multi-gains (FPPA) dans un premier temps en collaboration avec l'université de Princeton (USA) puis avec le LBNL (Lawrence Berkeley National Laboratory). Ce circuit convertit les signaux en courant de grande dynamique (96dB) issus des photodiodes à avalanche en un signal de tension échantillonné à 40 MHz, couvrant toute la gamme dynamique avec une précision de 12 bits, compatible avec l'ADC qui le suit. La technologie HARRIS a été retenue pour la version finale comprenant la génération interne des polarisations et le conditionnement des signaux pour le contrôle du courant de fuite des APD et de la température de l'ensemble (cristal + APD).

L'architecture du système de test est basée autour d'un ordinateur de type PC et du logiciel d'instrumentation Labview. Au total, 11 instruments interfacés GPIB permettent de polariser, de générer des signaux d'entrée et de lire les sorties du circuit. Les résultats des tests de cette présérie (FPPA2000) ont permis de caractériser, de trier les circuits et de révéler un certain nombre de problèmes, qui ont conduit à une nouvelle itération (FPPA2001) partie en

fabrication en juillet 2002. 1056 circuits ont été testés au début de l'année 2003.

Les mesures et le tri des circuits donnent un rendement de 38%. Le fonctionnement du FPPA2001 s'est fortement amélioré au niveau de la forme de l'impulsion de sortie et de la commutation des différents gains. Le délai programmable ajouté permet de maîtriser totalement la reconstruction de courbe échantillonnée. Le bruit ramené en entrée a diminué d'un facteur 3 mais il reste supérieur aux spécifications de départ. Le bruit minimal obtenu est de 15000 électrons qu'il faut comparer aux spécifications initiales de 10000 électrons.

Le MGPA (Multiple Gain Pre-Amplifier), commutation numérique.

Le MGPA est destiné uniquement à la lecture des photodiodes à avalanche du calorimètre de CMS, les fonctions de contrôle lent ne sont pas implémentées et seront assurées par un circuit annexe. Le MGPA est composé d'un préamplificateur de charge couvrant toute la gamme dynamique et de 3 amplificateurs de gain dont les sorties différentielles attaquent les entrées d'un ADC 12 bits développé spécifiquement. Cet ADC comporte en interne 3 ADC qui vont numériser les signaux issus des 3 amplificateurs de gains du MGPA. La logique interne de l'ADC choisit le code binaire ayant la valeur maximum sans avoir atteint une valeur limite. La commutation des gains est alors numérique contrairement au FPPA où elle était analogique.

L'ADC et le MGPA sont réalisés en technologie 0.25 μm pour ses performances de tenues aux irradiations. Les caractéristiques de ce circuit sont très proches de celles du FPPA. La conception a été assurée par le RAL (Rutherford Appleton Laboratory) et l'Imperial College.

Le groupe de conception de circuit intégrés a participé aux réunions techniques de ce projet ainsi qu'aux tests des premiers circuits réalisés dans le but d'équiper les premières cartes "Very Front End". Le test de la pré production sera pris en charge conjointement par le laboratoire et l'INFN de Turin. La définition du programme de test, du support de test et la réalisation des cartes est de la responsabilité du service électronique. Cette phase de test débutera en février 2004, le test de la production sera effectué chez un industriel qui assurera également la mise en boîtier.

Activité sur le détecteur CMS-Preshower

Pour faire face à la disparition progressive des technologies spécifiquement développées pour résister aux radiations, le CERN a initié dans les années 1998, des études prospectives sur des technologies commerciales modernes. Les technologies submicroniques, présentant des épaisseurs d'oxyde < 10nm ont en effet été pressenties, dans de nombreuses publications, comme étant d'excellentes candidates pour aborder la conception de circuits durcis aux radiations. Ces études ont donné lieu à la réalisation de multiples circuits sur des technologies

0.25 μm en provenance de divers fondeurs. A la suite des résultats prometteurs obtenus sous irradiations avec ces réalisations, moyennant la mise en œuvre de dessins physiques spécifiquement adaptés, la migration de nombreux projets ASIC destinés au LHC, conçus initialement en technologie DMILL a été engagée. Parallèlement, l'abandon progressif de la filière DMILL s'est généralisé du fait de sa qualité de fabrication inconstante et de son prix de vente élevé.

Début 2002, le service électronique de l'IPNL s'est engagé dans le portage de l'électronique de PACE2, dédiée au détecteur de pieds de gerbe de CMS, sur la technologie CMOS6SF utilisée au CERN.

Dans ce développement, mené conjointement avec l'équipe ECP MIC du CERN, l'IPNL a pris en charge la conception des étages frontaux (pré amplification et filtrage) et les étages de sortie délivrant le signal analogique au convertisseur analogique numérique.

Comme l'électronique PACE2, l'électronique PACE3 regroupe 32 canaux de lecture et consiste en deux puces indépendantes, afin d'isoler au mieux les fonctions analogiques bas bruits des fonctions numériques :

Le premier circuit comprend les préamplificateurs de charges avec compensation de courant de fuite du capteur et les filtres de mise en forme. Plusieurs DAC permettent d'ajuster les polarisations analogiques par l'intermédiaire d'un contrôleur I2C interne.

Le second circuit comprend la mémoire analogique et son électronique de lecture qui permet le multiplexage des 32 canaux en direction de l'ADC externe. Ce circuit comporte une partie importante de fonctions numériques (logique de pointage de la mémoire : écriture/lecture en anneau, consignation des adresses de trigger, un contrôleur I2C qui permet la programmation séparée des fonctions de slow contrôle : réglage des polarisations, changement de mode, mise en veille..).

Si l'architecture externe de l'électronique PACE3 reste identique à celle de PACE2, l'architecture internes des schémas des deux circuits a du subir des évolutions majeures :

- Refonte du schéma du préamplificateur de charge: la technologie CMOS6SF est une technologie CMOS tandis que la technologie DMILL disposait de transistors CMOS et de transistors bipolaires NPN.
- Réduction de la dynamique de signal de la chaîne de lecture à 1.5V : la tension d'alimentation autorisée n'est plus que de 2.5V contre 5V en DMILL.
- Nouvelle architecture "pseudo différentielle" pour la mémoire analogique afin de s'accommoder de la non-linéarité des capacités de type MOS (capacité métal/oxyde/métal de trop faible valeur).
- Augmentation de la profondeur mémoire, imposée par les évolutions système ("trigger latency"), elle passe ainsi de 160 à 192.

- Etage de sortie différentiel, l'ADC AD9042 étant désormais remplacé dans le système par un convertisseur ASIC différentiel développé pour d'autres besoins dans CMS.
- Ajout de fonctions de monitoring: des interfaces de lecture de grandeurs analogiques internes ont été ajoutées afin d'utiliser au mieux les canaux de monitoring du circuit DCU employé par ailleurs sur la carte frontale.

Au terme d'un développement très contraint par le calendrier de CMS, les circuits PACE3, sont partis en fonderie début 2003.

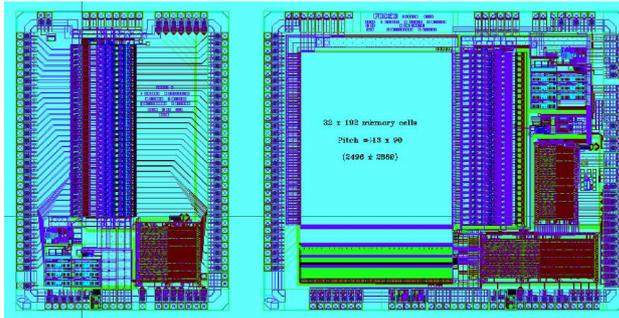


Fig 10: Dessin physique des circuits PACE3 conçus en technologie CMOS 0.25 μ m (puce A :17mm², puce B :30mm²)

Les tests exhaustifs menés jusqu'ici ont révélé des performances très concordantes avec celles simulées et attendues et ont ainsi confirmé l'excellente maturité de la technologie 0.25 μ m employée. Néanmoins, l'absence d'hystérésis sur les entrées logiques du contrôleur I2C a révélé une grande instabilité des fonctions de contrôle. Ces fonctions numériques ont été corrigées dans le circuit réexpédié en fabrication fin 2003. Ce devrait être le design définitif des circuits. La production doit être engagée dans la première moitié de 2004 pour tenir le planning de construction du détecteur.

Le service électronique est très satisfait d'avoir pu apporter son savoir-faire dans la conception de circuit intégré et d'avoir pu accéder à une technologie sub-micronique industrielle.